

**SOI WAFER AND ITS MANUFACTURE**

Patent Number: JP2000299451

Publication date: 2000-10-24

Inventor(s): SHIRAI YOSHIFUMI; SUZUMURA MASAHIKO; SUZUKI YUJI; HAYAZAKI YOSHIKI;  
KISHIDA TAKASHI; TAKANO MASAMICHI; YOSHIDA TAKESHI

Applicant(s): MATSUSHITA ELECTRIC WORKS LTD

Requested

Patent: ☐ JP2000299451

Application

Number: JP19990108617 19990415

Priority Number  
(s):

IPC

Classification: H01L27/12; H01L21/304

EC

Classification:

Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide an SOI wafer which is reduced in defective exposures in an exposing process.

**SOLUTION:** In an SOI wafer, a semiconductor element forming layer 1 is laminated upon a semiconductor supporting substrate 3 via an insulating layer 2, and a step 5 is formed between the semiconductor element forming layer 1 and semiconductor substrate 3, by removing the outer peripheral sections of the layers 1 and 2. The step 5 is embedded with a step embedding section 4, which is formed until its surface is flushed with the main surface of the semiconductor element forming layer 1. Therefore, the occurrence of defective exposures can be reduced in an exposing process, because a pattern can be formed on the main surface of the semiconductor element forming layer 1, even in the outer peripheral section of the wafer.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-299451  
(P2000-299451A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 27/12		H 0 1 L 27/12	Z
21/304	6 0 1	21/304	6 0 1 B

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21) 出願番号 特願平11-108617

(22) 出願日 平成11年4月15日 (1999. 4. 15)

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 白井 良史

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 鈴木 正彦

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 100087767

弁理士 西川 恵清 (外1名)

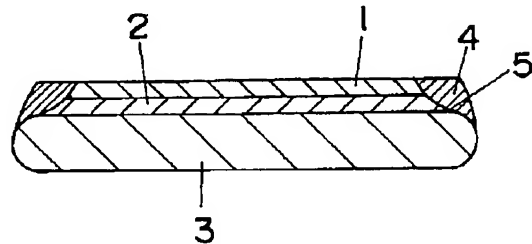
最終頁に続く

(54) 【発明の名称】 S O I ウェハおよびその製造方法

(57) 【要約】

【課題】露光工程における露光不良を低減させたS O I ウェハを提供する。

【解決手段】半導体支持基板3には絶縁層2を介して半導体素子形成層1が積層される。半導体素子形成層1および絶縁層2の外周部は除去され、半導体素子形成層1と半導体支持基板3との間には段差5が形成される。段差5は半導体素子形成層1の主表面と面一になる段差埋込部4により埋め込まれる。したがって、露光工程においてS O I ウェハの外周部においても半導体素子形成層1の主表面にパターンを結像させることができ露光不良が低減される。



- 1 半導体素子形成層
- 2 絶縁層
- 3 半導体支持基板
- 4 段差埋込部
- 5 段差

## 【特許請求の範囲】

【請求項1】 半導体支持基板上に絶縁層を介して半導体素子形成層が形成されたSOIウェハであって、上記半導体素子形成層および上記絶縁層の外周部を除去することによって形成された上記半導体素子形成層と上記半導体支持基板との間の段差を埋め込む段差埋込部を有し、上記段差埋込部における半導体支持基板と反対側の面と上記半導体素子形成層の主表面とが同一平面上に形成されていることを特徴とするSOIウェハ。

【請求項2】 請求項1記載のSOIウェハの製造方法であって、半導体を上記半導体素子形成層と上記半導体支持基板との間の段差を埋め込むように上記半導体素子形成層の主表面側から上記段差よりも厚い膜厚で堆積させた後、上記半導体において上記段差を埋め込んだ部位と上記半導体素子形成層とが1つの平面になるように上記半導体を研磨し、最後に上記半導体を研磨することによって生じたバリを除去して上記段差埋込部を形成することを特徴とするSOIウェハの製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SOIウェハおよびその製造方法に関するものである。

【0002】

【従来の技術】従来より、単結晶シリコン基板よりなる半導体支持基板上に、シリコン酸化膜よりなる絶縁層を介して単結晶シリコン層よりなる半導体素子形成層が形成された、いわゆるSOI (Silicon On Insulator) ウェハが提供されている。このようなSOIウェハを用いて製造される半導体装置は、低消費電力、低出力間容量という優れた特性を有することから、SOIウェハが近年注目されている。

【0003】この種のSOIウェハは、図5に示すように、半導体支持基板3に絶縁層2を介して半導体素子形成層1が積層されたものであり、製造上の都合により半導体素子形成層1および絶縁層2の外周部が除去されて段差5が形成されている。

【0004】このSOIウェハは、図6に示す手順で製造される。まず、図6(a)に示すように、半導体素子形成層1の全表面に亘って絶縁層2が形成された半導体素子基板10を半導体支持基板3の表面(図の上面)に貼り合わせた後、図6(b)に示すように、半導体素子基板10の表面を研削して半導体素子形成層1を絶縁層2から露出させる。

【0005】ところで、図6(a)に示すように、貼り合わせ前における半導体素子基板10および半導体支持基板3の外周部の断面はそれぞれ凸曲面状であるから、半導体素子基板10および半導体支持基板3の外周部は貼り合わされずに隙間Sができる。つまり、半導体素子基板10の外周部は半導体支持基板3に支持されないから、この状態で半導体素子基板10と半導体支持基板3

との外周部に外力が作用すると、貼り合わせた面が剥離したり、外周部が破損したりすることがある。

【0006】そこで、半導体素子基板10を研削した後、図6(c)に示すように、半導体素子基板10の外周部をエッチングによって除去して段差5を形成することにより、隙間Sが形成されないようにし、外周部からの剥離や外周部の破損を防止するのである。その後、図6(d)に示すように、半導体素子形成層1の主表面を研磨すれば、図5に示したSOIウェハが完成する。

【0007】

【発明が解決しようとする課題】図5に示したSOIウェハは、機械的強度を高めるために半導体素子形成層1および絶縁層2の外周部が除去されているので、半導体素子形成層1および絶縁層2の外周部つまり半導体素子形成層1と半導体支持基板3との間に上述した段差5が形成される。

【0008】ところで、SOIウェハに半導体素子を形成する際には、SOIウェハの表面にレジストを塗布した後、ステッパを用いてパターンを露光させる露光工程が実施される。この露光工程は、SOIウェハにおける半導体素子形成層1の主表面側の複数箇所で行われ、1回の露光毎に焦点合わせが行われる。すなわち、光を投受光することによってSOIウェハまでの距離を求めた後、求めた距離に応じてステッパの焦点を自動的に合わせるのである。SOIウェハまでの距離はSOIウェハの表面に照射する入射光 $L f 1$ 、 $L f 2$ (図7参照)に対して反射光 $L b 1$ 、 $L b 2$ から得られる情報に基づいて求められる。

【0009】上述のように、ステッパではSOIウェハまでの距離を求めて焦点を自動的に合わせるから、図5に示した形状のSOIウェハでは、図7に示すように、半導体素子形成層1の主表面に対しては焦点がF1の位置になり、段差5の部位に対してはステッパの焦点がF2の位置になることがある。なお、図の位置に焦点を合わせたときにSOIウェハの上にパターンが結像されるものとしている。このように、SOIウェハの外周部に対する焦点は半導体素子形成層1の主表面に対する焦点の位置とは異なっているから、半導体素子形成層1の外周部においてはパターンが段差5の底に結像されて露光不良を生じることがある。

【0010】本発明は上記事由に鑑みてなされたものであり、その目的は、露光工程における露光不良を低減させたSOIウェハおよびその製造方法を提供することにある。

【0011】

【課題を解決するための手段】請求項1の発明は、半導体支持基板上に絶縁層を介して半導体素子形成層が形成されたSOIウェハであって、上記半導体素子形成層および上記絶縁層の外周部を除去することによって形成された上記半導体素子形成層と上記半導体支持基板との間

の段差を埋め込む段差埋込部を有し、上記段差埋込部における半導体支持基板と反対側の面と上記半導体素子形成層の主表面とが同一平面上に形成されているものである。この構成によれば、半導体素子形成層の外側に半導体素子形成層の主表面と同一平面になる段差埋込部を形成して段差が形成されないようにしたから、露光工程において焦点を合わせる際にＳＯＩウェハの外周部においても半導体素子形成層の主表面にパターンを結像させるように焦点を合わせることができ、半導体素子形成層の外周部における露光不良の発生を低減させることができる。

【００１２】請求項２の発明は、請求項１記載のＳＯＩウェハの製造方法であって、半導体を上記半導体素子形成層と上記半導体支持基板との間の段差を埋め込むように上記半導体素子形成層の主表面側から上記段差よりも厚い膜厚で堆積させた後、上記半導体において上記段差を埋め込んだ部位と上記半導体素子形成層とが１つの平面になるように上記半導体を研磨し、最後に上記半導体を研磨することによって生じたバリを除去して上記段差埋込部を形成することを特徴とする。この方法では、従来のＳＯＩウェハの製造工程に、段差を埋め込む工程とバリを除去する工程との２工程を追加しているだけであるから、露光工程における露光不良を低減させたＳＯＩウェハを比較的容易に製造することができる。

【００１３】

【発明の実施の形態】本実施形態は、図１に示すように、ＳＯＩウェハの外周部において半導体素子形成層１と半導体支持基板３との間に形成される段差５を埋め込む段差埋込部４を形成したものである。

【００１４】段差埋込部４はポリシリコンよりなり、段差埋込部４の表面（図の上面）と半導体素子形成層１の主表面とは同一平面上に形成されている。

【００１５】半導体支持基板３は、ｎ形シリコン基板またはｐ形シリコン基板よりなり、絶縁層２および半導体素子形成層１を支持している。絶縁層２は、シリコンの埋込酸化膜よりなり、半導体支持基板３と半導体素子形成層１とを電気的に絶縁している。半導体素子形成層１は、ｎ形シリコン層またはｐ形シリコン層よりなり、この半導体素子形成層１に半導体素子が形成される。

【００１６】本実施形態のＳＯＩウェハは、図２および図３に示す手順で製造される。まず、図２（ａ）に示すように、半導体素子形成層１の全表面に亘って絶縁層２が形成された半導体素子基板１０を半導体支持基板３の表面（図の上面）に貼り合わせる。次に、図２（ｂ）に示すように、半導体素子基板１０の表面を研削して半導体素子形成層１を絶縁層２から露出させた後、図２（ｃ）に示すように、半導体素子基板１０の外周部をエッチングによって除去する。このエッチングにより、半導体素子形成層１と半導体支持基板３との間に段差５が形成される。ここまでの手順は、図６（ａ）～（ｃ）に

示した従来のＳＯＩウェハの製造方法と同じである。

【００１７】次に、本実施形態では、図３（ａ）に示すように、半導体素子形成層１と半導体支持基板３との間の段差を埋め込むために、半導体をエピタキシャル成長させる装置を用いて、半導体４０を半導体素子形成層１の主表面側から上記段差５よりも厚い膜厚で堆積させる。ここで、半導体４０は半導体支持基板１や半導体素子形成層１などの下地の表面状態に従って成長しポリシリコンになる。その後、図３（ｂ）に示すように、半導体４０において上記段差５を埋め込んだ部位と半導体素子形成層１とが１つの平面になるように半導体４０を研磨する。最後に、図３（ｃ）に示すように不要部分（バリ）を除去すれば図１に示したＳＯＩウェハが完成する。

【００１８】上述したように、本実施形態のＳＯＩウェハは、半導体素子形成層１の主表面と面一になる段差埋込部４を形成しているから、露光工程においてステッパの焦点を合わせる際に、図４に示すように、ＳＯＩウェハの中央部と外周部とのいずれにおいてもほぼ同じ位置に合焦することになる（焦点の位置を図にＦ１で示す）。なお、図中のＬｆ１、Ｌｆ２はステッパからＳＯＩ上の表面までの距離を測定するための入射光、Ｌｂ１、Ｌｂ２はその反射光を示す。上述の構成により、半導体素子形成層１の周辺部においても半導体素子形成層１の主表面にパターンを結像させることが可能になり、半導体素子形成層１の外周部における露光不良の発生を低減させることができる。

【００１９】また、本実施形態のＳＯＩウェハの製造工程では、図６に示した従来の製造工程に対して、半導体４０を堆積させる工程と、バリを除去する工程との２工程を追加しているだけであるから、露光工程における露光不良を低減させたＳＯＩウェハを比較的容易に製造することができる。

【００２０】

【発明の効果】請求項１の発明は、半導体支持基板上に絶縁層を介して半導体素子形成層が形成されたＳＯＩウェハであって、半導体素子形成層および絶縁層の外周部を除去することによって形成された半導体素子形成層と半導体支持基板との間の段差を埋め込む段差埋込部を有し、段差埋込部における半導体支持基板と反対側の面と半導体素子形成層の主表面とが同一平面上に形成されているものであり、半導体素子形成層の外側に半導体素子形成層の主表面と同一平面になる段差埋込部を形成して段差が形成されないようにしているので、露光工程において焦点を合わせる際にＳＯＩウェハの外周部においても半導体素子形成層の主表面にパターンを結像させるように焦点を合わせることができ、半導体素子形成層の外周部における露光不良の発生を低減させることができるという利点がある。

【００２１】請求項２の発明は、請求項１記載のＳＯＩ

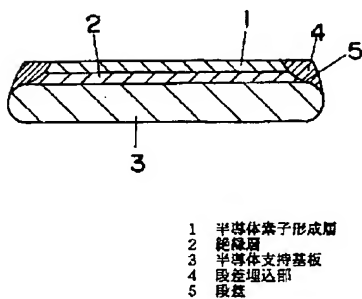
ウェハの製造方法であって、半導体を半導体素子形成層と半導体支持基板との間の段差を埋め込むように半導体素子形成層の主表面側から段差よりも厚い膜厚で堆積させた後、半導体において段差を埋め込んだ部位と半導体素子形成層とが1つの平面になるように半導体を研磨し、最後に半導体を研磨することによって生じたバリを除去して段差埋込部を形成しており、従来のSOIウェハの製造工程に、段差を埋め込む工程とバリを除去する工程との2工程を追加しているだけであるから、露光工程における露光不良を低減させたSOIウェハを比較的容易に製造することができるという利点がある。

【図面の簡単な説明】

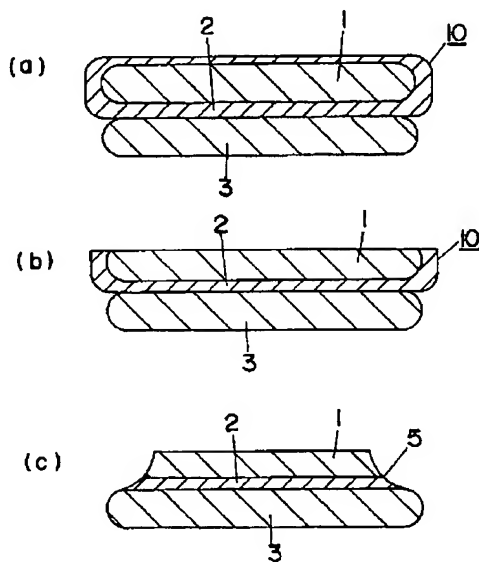
【図1】本発明の実施形態のSOIウェハを示す断面図である。

【図2】同上の製造方法を示す工程図である。

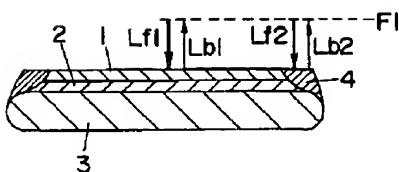
【図1】



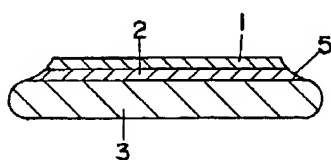
【図2】



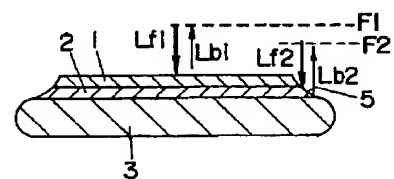
【図4】



【図5】



【図7】



【図3】同上の製造方法を示す工程図である。

【図4】同上の露出工程における焦点合わせを説明する図である。

【図5】従来例のSOIウェハを示す断面図である。

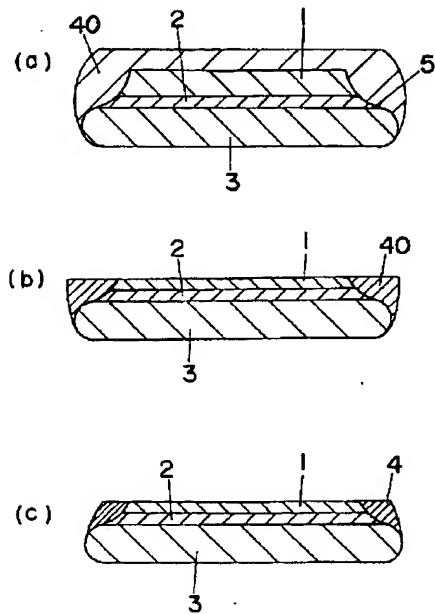
【図6】同上の製造方法を示す工程図である。

【図7】同上の露出工程における焦点合わせを説明する図である。

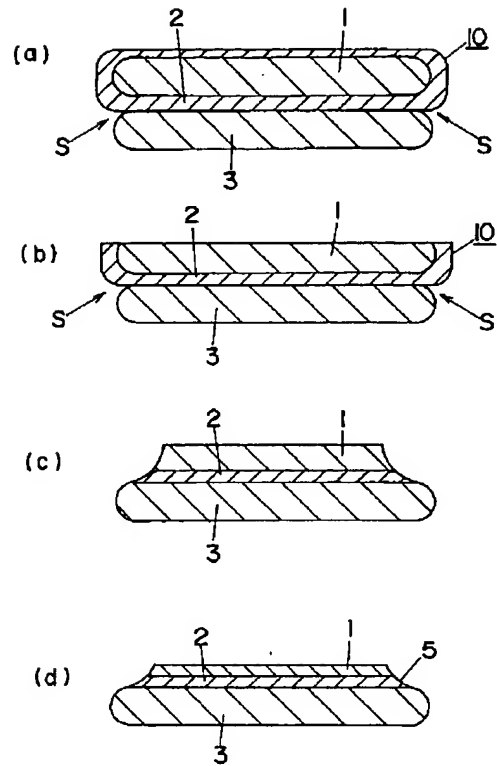
【符号の説明】

- 1 半導体素子形成層
- 2 絶縁層
- 3 半導体支持基板
- 4 段差埋込部
- 5 段差
- 40 半導体

【図3】



【図6】



フロントページの続き

(72)発明者 鈴木 裕二  
大阪府門真市大字門真1048番地松下電工株  
式会社内  
(72)発明者 早崎 嘉城  
大阪府門真市大字門真1048番地松下電工株  
式会社内

(72)発明者 岸田 貴司  
大阪府門真市大字門真1048番地松下電工株  
式会社内  
(72)発明者 ▲高▼野 仁路  
大阪府門真市大字門真1048番地松下電工株  
式会社内  
(72)発明者 吉田 岳司  
大阪府門真市大字門真1048番地松下電工株  
式会社内